

EXHIBIT A

to
AMENDMENT
(Serial No. 10/661,320)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-150012

(43)Date of publication of application : 31.05.1994

(51)Int.Cl. G06F 15/72

(21)Application number : 04-302095

(71)Applicant : NEC CORP

(22)Date of filing : 12.11.1992

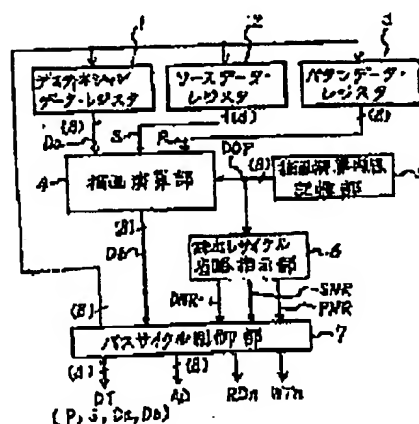
(72)Inventor : KUBOTA KAZUHIRO

(54) PLOTTING PROCESSOR

(57)Abstract:

PURPOSE: To accelerate plotting speed by omitting the read cycle of data which are not related to a plotting operation.

CONSTITUTION: This device is provided with a read cycle omission instruction part 6 for outputting read cycle omission instruction signals (DNR, SNR and PNR) of data (Da, S and P) not related to the plotting arithmetic according to a plotting operation signal DOP. A bus cycle control part 7 is defined as a circuit for starting the next cycle without executing the read cycle of data for which the read cycle omission instruction signals (DNR, SNR and PNR) are outputted.



LEGAL STATUS

[Date of request for examination]

24.12.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2956390

[Date of registration]

23.07.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

23.07.2002

Copyright (C): 1998,2003 Japan Patent Office

③

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2956390号

(45) 発行日 平成11年(1999)10月4日

(24) 登録日 平成11年(1999)7月23日

(51) Int.Cl.[°]
G 0 6 T 11/00

識別記号

P I
G 0 6 T 15/72

A

請求項の数1(全 7 頁)

(21) 出願番号 特願平4-302095

(22) 出願日 平成4年(1992)11月12日

(65) 公開番号 特開平8-150012

(43) 公開日 平成6年(1994)5月31日

審査請求日 平成8年(1996)12月24日

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 森田 和弘

東京都港区芝五丁目7番1号日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

審査官 岩間 直純

(50) 参考文献 特開 平4-293091 (J P, A)

(58) 調査した分野(Int.Cl.[°], D B 名)
G 0 5 T 11/00

(54) 【発明の名称】 描画プロセッサ

(57) 【特許請求の範囲】

【請求項1】 伝達された描画用の第1、第2、第3のデータをそれぞれ対応して記憶し出力する第1、第2、第3のレジスタと、描画演算信号に従って前記第1、第2、第3のデータに対して所定の演算を行い更新された第1のデータとして出力する描画演算部と、前記第1、第2、第3のデータに対する演算の内容を記憶しておきこの演算の内容と対応した前記描画演算信号を出力する描画演算内容記憶部と、前記描画演算信号による演算内容を簡略化して、前記第1、第2、第3のデータの中に演算入力から省略できるデータがあるときには、そのデータと対応する抽出しサイクル省略指示信号を出力する抽出しサイクル省略指示部と、前記第1、第2、第3のデータのうちの前記抽出しサイクル省略指示信号が出力されていないデータに対して、アドレス信号、抽出し倍

号をデータメモリに出力した後、このデータメモリから伝達されたデータを取り込み前記第1、第2、第3のレジスタに伝達するサイクルを順次実行した後、前記更新された第1のデータを前記データメモリに書込むアドレス信号及び書込み信号とを前記データメモリに出力するサイクルを実行するバスサイクル制御部とを有し、前記描画演算内容記憶部の各ワードの第1のビットには、前記第1のデータと前記第2のデータと前記第3のデータを反転したデータとの論理相関係の要否を指示するデータを、第2のビットには、前記第1のデータと前記第2のデータと前記第3のデータの論理相関係の要否を指示するデータを、第3のビットには、前記第1のデータと前記第2のデータを反転したデータと前記第3のデータの論理相関係の要否を指示するデータを、第4のビットには、前記第1のデータと前記第2のデータを反転したデ

(2)

特許2966390号

3
 ータと前記第3のデータを反転したデータとの論理積演算の要否を指示するデータを、第5のビットには、前記第1のデータを反転したデータと前記第2のデータと前記第3のデータを反転したデータとの論理積演算の要否を指示するデータを、第6のビットには、前記第1のデータを反転したデータと前記第2のデータと前記第3のデータの論理積演算の要否を指示するデータを、第7のビットには、前記第1のデータを反転したデータと前記第2のデータと前記第3のデータを反転したデータとの論理積演算の要否を指示するデータを、第8のビットには、前記第1、前記第2、及び前記第3のデータのそれぞれを反転したデータの論理積演算の要否を指示するデータを描画演算内容に応じてそれぞれ記憶し、前記読出しサイクル省略指示部は、前記描画演算内容記憶部から順番に出力される各ワードのビット・データにより、前記第1・第5のビット、前記第2・第6のビット、前記第3・第7のビット、前記第4・第8のビットについて各々排他的論理和をとり、これらの排他的論理和信号の論理和の否定信号を、前記第1のデータの読出しサイクル省略指示信号として生成し、また、前記描画演算内容記憶部から順番に出力される各ワードのビット・データにより、前記第1・第4のビット、前記第2・第3のビット、前記第5・第8のビット、前記第6・第7のビットについて各々排他的論理和をとり、これらの排他的論理和信号の論理和の否定信号を、前記第2のデータの読出しサイクル省略指示信号として生成し、さらに、前記描画演算内容記憶部から順番に出力される各ワードのビット・データの第1・第2のビット、前記第3・第4のビット、前記第5・第8のビット、前記第7・第8のビットについて各々排他的論理和をとり、これらの排他的論理和信号の論理和の否定信号を、前記第3のデータの読出しサイクル省略指示信号として生成して、前記バスサイクル制御部に伝達するようにしたことを特徴とする描画プロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は描画プロセッサに関し、特にビットマップ型のデータメモリ中の複数のデータに対して所定の演算を施しこのデータメモリに格納構成のデジタル画像装飾用の描画プロセッサに関するものである。

【0002】

【従来の技術】従来の技術について図面を参照しながら説明する。

【0003】図3は従来の描画プロセッサの一例を示すブロック図である。

【0004】この描画プロセッサは、伝達された描画用の第1のデータのデスティネーションデータDa、第2のデータのソースデータS、第3のデータのバウンディングデータをそれぞれ対応して記憶し出力する第1、第2、第

3のレジスタ1、2、3と、描画演算信号DOPに従ってデスティネーションデータDa、ソースデータS、バウンディングデータPに対して所定の演算を行い更新されたデスティネーションデータDaとして出力する描画演算部4と、デスティネーションデータDa、ソースデータS、バウンディングデータPに対する演算の内容を記憶しておくこの演算の内容と対応した描画演算信号DOPを出力する描画演算内容記憶部5と、デスティネーションデータDa、ソースデータS、バウンディングデータPに対して、アドレス信号AD、読出し信号RDnをデータメモリ（図示省略）に出力した後このデータメモリから伝達されたデータを収込み第1、第2、第3のレジスタ1、2、3に伝達するサイクルを順次実行した後、更新されたデスティネーションデータDbと、このデスティネーションデータDbと対応するアドレス信号AD及び書き込み信号WTnをデータメモリに出力するサイクルを実行するバスサイクル制御部7aとを有する構成となっている。

【0005】次にこの描画プロセッサの動作について説明する。図4はこの描画プロセッサの動作を説明するための入出力信号のタイミング図である。

【0006】この描画プロセッサの外部（データメモリ）との入出力信号として、8ビットの入出力データDT（P、S、Da、Db）と、8ビットのアドレス信号ADと、データメモリに対して読出しサイクル起動中であることを示す読出し信号RDnと、書き込みサイクル起動中であることを示す書き込み信号WTnとを有している。ここで信号の記号の末尾のnは、その信号が負論理であることを示す。

【0007】各データ（P、S、Da）の読出しサイクルでは、アドレス・バスに有効値のアドレス信号ADを出力し、かつ、データ・バスをハイ・インピーダンス状態にした後、読出し信号RDnをアクティブレベルの低レベルにする。データメモリはこれにตอบสนองして、読出し信号RDnがアクティブレベルの間、データ・バスに所定データを出力し続ける。描画プロセッサは、読出し信号RDnの立ち上がりエッジにおいてデータ・バスのデータをラッチし各レジスタ（1～3）に伝達する。この読出しサイクルは、バウンディングデータP、ソースデータS、デスティネーションデータDaに対して順次行なわれる。

【0008】各レジスタ、すなわち、デスティネーションデータ・レジスタ1、ソースデータ・レジスタ2、バウンディングデータ・レジスタ3に伝達された各データ、すなわち、デスティネーションデータDa、ソースデータS、バウンディングデータPは上記各レジスタにラッチされ描画演算部4に伝達され、描画演算部4は描画演算信号DOPに従って上記データに対する演算を実行し、更新されたデスティネーションデータDbを出力する。そして書き込みサイクル、すなわち、更新されたデスティネーションデータDbの書き込みサイクルに入る。書き込みサイクルでは、ア

(3)

特許 2956390号

5

ドレス・バスのアドレス信号ADとデータ・バスのデータの有効値にして出力した後、番込み信号WTnをアクティブレベル（低レベル）にする。これに反応して、データメモリは番込み信号WTnの立ち下がりがエッジで更新されたデスティネーションデータDnをラッチする。これらの制御は、バスサイクル制御部70が行う。

【0009】次に、この描画プロセッサが、データメモリ内のデスティネーションデータを更新する過程を、図6のイメージ図を用いて説明する。図6は、描画演算の入力データであるパタンデータP、ソースデータS、デスティネーションデータDnによるイメージと、描画演算結果である更新されたデスティネーションデータDnによりイメージを模式的に表したものである。これも4データP、S、Dn、Dnとも二値の画像データであり、各イメージI(S)、I(P)、I(Dn)の黒及び白した領域が「1」、白い領域が「0」を表す。ソースデータはデータメモリ上に存在するフォント・データであり、文字「F」を表している。ソースデータSによるイメージI(S)では前記の文字「F」が「1」背景が「0」である。以下同様、パタンデータPによるイメージI(P)は細い斜線、デスティネーションデータDnによるイメージI(Dn)は粗い斜線になっている。これらの3データ(P、S、Dn)に対して描画演算番号DOPにより描画演算が行われ、更新されたデスティネーションデータDnを得る。描画演算番号DOPによる演算は、概念的には、例えば、「パタンデータPをソースデータSでくり抜いたものをデスティネーションデータDnに転送する」という内容とする。

【0010】次に、描画演算内容記憶部5の具体的な記憶内容について説明する。図6(A)、(B)は描画演算内容記憶部5の構成とその記憶内容の構成を示す図である。

【0011】描画演算内容記憶部5は8ビット(R0～R7)から成り、このR0～R7の8ビットが、実行すべき描画演算をどのように規定するかを示す。図6

(B)に示したように、パタンデータP、ソースデータS、デスティネーションデータDnの値がそれぞれ「0」か「1」かで組み合わせが8通りある。この8通りの組み合わせのおおのに対する描画結果(Dn)をR0～R7の8ビットが規定する。例えば、パタンデータPが「1」、ソースデータSが「0」、デスティネーションデータDnが「0」の時、演算結果である更新されたデスティネーションデータDnは、R4のビットが規定する。R4の値が「0」ならば更新されたデスティネーションデータDnは「0」、R4の値が「1」ならば更新されたデスティネーションデータDnは「1」になる。これを数式が図6(B)中に示されている。式中、「+」は論理和を、「・」は論理積を表す。

【0012】図5の更新されたデスティネーションデータDnを得るためには、どのような描画演算内容に設定

6

すればよいかを説明する。「パタンデータPをソースデータSでくり抜いたものをデスティネーションデータDnに転送する」ためには、ソースデータSはくり抜き用のマスク・データとして使用される。したがって、次のような描画演算を実行する必要がある。

【0013】

IF S=0 THEN Dn=Dn (1)

IF S=1 THEN Dn=P (2)

(1)式の意味するところは、もしソースデータSが「0」であれば、デスティネーションデータDnをそのまま更新されたデスティネーションデータDnとする。すなわち、デスティネーションデータを書き換えない。一方、(2)式の意味するところは、もしソースデータSが「1」であれば、パタンデータPを更新されたデスティネーションデータDnとする。これを実現する描画演算内容記憶部5に記憶されるデータは、(0, 1, 0, 0, 0, 1, 1, 1)となる。

【0014】

【発明が解決しようとする課題】上述した従来の描画プロセッサでは、デスティネーションデータを更新するためにパタンデータ、ソースデータ、デスティネーションデータを順次読み出し描画演算を行い、更新されたデスティネーションデータを戻すために4サイクルが必要である。しかし、描画演算の内容によっては、読出しサイクルが不要なデータもある。例えば、描画演算の内容が(0, 0, 0, 0, 0, 0, 0, 0)である場合には、値「0」を更新されたデスティネーションデータとして書き戻せばよいので、ソースデータ、パタンデータ、デスティネーションデータの読出しサイクルは不要である。また、(0, 0, 1, 1, 0, 0, 1, 1)である場合には、ソースデータを更新されたデスティネーションデータとして書き戻せばよいので、パタンデータ、デスティネーションデータの読出しサイクルは不要である。

【0015】しかしながら、従来の描画プロセッサでは、このような場合でも、パタンデータ、ソースデータ、デスティネーションデータの読出しが行なわれるので、描画速度が遅いという問題点があった。

【0016】本発明の目的は、描画速度が向上した描画プロセッサを提供することにある。

【0017】

【課題を解決するための手段】本発明の描画プロセッサは、伝送された描画用の第1、第2、第3のデータをそれぞれ対応して記憶し出力する第1、第2、第3のレジスタと、描画演算番号に従って前記第1、第2、第3のデータに対して所定の演算を行い更新された第1のデータとして出力する描画演算部と、前記第1、第2、第3のデータに対する演算の内容を記憶しておきこの演算の内容と対応した前記描画演算番号を出力する描画演算内

(4)

特許2956390号

前記第1、第2、第3のデータの中に前記描画演算信号による演算に関与しないデータがあるときはそのデータと対応する読出しサイクル省略指示信号を出力する読出しサイクル省略指示部と、前記第1、第2、第3のデータのうちの前記読出しサイクル省略指示信号が出力されていないデータに対して、アドレス信号、読出し信号をデータメモリに出力した後このデータメモリから伝送されたデータを取込み前記第1、第2、第3のレジスタに伝送するサイクルを順次実行した後、前記更新された第1のデータとこの第1のデータと対応するアドレス信号及び書込み信号とを前記データメモリに出力するサイクルを実行するバスサイクル制御部とを有している。

【0018】

【実施例】次に本発明の実施例について図面を参照して説明する。

【0019】図1は本発明の一実施例を示すブロック図である。

【0020】この実施例が図3に示された従来の描画プロセスと相違する点は、デスティネーションデータDn、ソースデータS、パタンデータPの中に描画演算信号DOPによる演算に関与しないデータがあるときはそのデータと対応する読出しサイクル省略指示信号(DNR, SNR, PNR)を出力する読出しサイクル省略指示部(DNR, SNR, PNR)を出力する読出しサイクル省略指示部6を設け、バスサイクル制御部7を、*

$$RU = R4 \text{ かつ } R1 = R5 \text{ かつ } R2 = R8 \text{ かつ } R3 = R7 \quad \cdots (3)$$

この条件式が真であるときには、パタン読出しサイクルを起動する必要はない。すなわち、パタンデータ読出しサイクル省略指示信号PNRを発生する。

【0025】次に、ソースデータ読出しサイクル省略指示信号SNRの発生について述べる。ソースデータが更新されたデスティネーションデータDnに影響を及ぼさないときの描画演算の条件を求めると、同様に、その値が

$$RU = R2 \text{ かつ } R1 = R3 \text{ かつ } R4 = R6 \text{ かつ } R5 = R7 \quad \cdots (4)$$

この条件が真であるときには、ソースデータ読出しサイクル省略指示信号SNRを発生する。

【0028】最後に、デスティネーションデータ読出しサイクル省略指示信号DNRの発生について述べる。デスティネーションデータDnが更新されたデスティネーションデータDnに影響を及ぼさないときの描画演算の条件を求めると、その値が次の何れかであるときである*

$$RU = R1 \text{ かつ } R2 = R3 \text{ かつ } R4 = R5 \text{ かつ } R6 = R7 \quad \cdots (5)$$

この条件式が真であるときには、デスティネーションデータ読出しサイクル省略指示信号DNRを発生する。

【0031】これらの読出しサイクル省略指示信号(PNR, SNR, DNR)によって、描画演算に関与しないデータの読出しサイクルがなくなるので、その分描画速度を速めることができる。

【0032】次に、本発明による描画処理速度の向上の

デスティネーションデータDn、ソースデータS、パタンデータPのうちの上記読出しサイクル省略指示信号が出力されていないデータに対して、アドレス信号AD、読出し信号RDnをデータメモリに出力した後このデータメモリから伝送されたデータを取込みデスティネーションデータ・レジスタ1、ソースデータ・レジスタ2、パタンデータレジスタ3に伝送するサイクルを順次実行した後、更新されたデスティネーションデータDnとこのデータと対応するアドレス信号AD及び書込み信号WTnとを上記データメモリに出力するサイクルを実行する回路とした点にある。

【0021】次に、描画演算信号DOPから、デスティネーションデータ読出しサイクル省略指示信号DNP、ソースデータ読出しサイクル省略指示信号SNR、パタンデータ読出しサイクル省略指示信号PNRを発生する過程について説明する。

【0022】まず、パタンデータ読出しサイクル省略指示信号PNRの発生について説明する。パタンデータPが更新されたデスティネーションデータDnに関与しないときの描画演算の条件を求めると、図6(B)から判

【0023】00H, 11H, 22H, 33H, 44H, 55H, 66H, 77H, 88H, 99H, AAH, BBH, CCH, DDH, EEH, FFH
これは、次の条件式と等価である。

【0024】

注が次の何れかであるときである。

【0026】00H, 05H, 0AH, 0FH, 50H, 55H, 5AH, A0H, A5H, AAH, AFH, F0H, F5H, FAH, FFH
これは、次の条件式と等価である。

【0027】

★

【0029】00H, 03H, 0CH, 0FH, 30H, 33H, 3CH, C0H, C3H, CCH, CFH, F0H, F3H, FCH, FFH
これは、次の条件式と等価である。

【0030】

過程について説明する。図2は本発明による描画演算内容が(0, 0, 1, 1, 0, 0, 1, 1)のときのバス・サイクルのタイミング図である。

【0033】従来例では、図4に示すように、常に4サイクルかかる。しかし本発明では、2サイクルですむので、従来例の2倍の描画速度が実現できる。

【0034】同様に、描画演算内容が(0, 0, 0, 0,

(5)

特許 2 9 5 6 3 9 0 号

9

0, 0, 0, 0, 0) あるいは、(1, 1, 1, 1, 1, 1, 1, 1, 1) のときは、更新されたデスティネーションデータ読み込みサイクルのみとなるので、従来例の4倍の描画速度が期待できる。

【0035】この事実を踏まえて、本発明の描画プロセッサを使用した装置の価格性能比の向上を見積もる。

【0036】まず、コストに因しては次のように考えることができる。一般に、描画プロセッサとデータメモリ間のバス・バンド幅を向上させるためには装置コストが高くなる。本発明の描画プロセッサは、プロセッサ・メモリ間のバス・バンド幅がまったく同じである条件下で性能向上が図れる。すなわち、本発明の描画プロセッサを採用することによるコスト上昇はない。

【0037】次に、性能向上であるが、「ボタン、ソース、デスティネーションの3つのデータの読出しサイクルのどれかが省略できる程度がどのくらい高いか」に依存する。換言すれば、「(3)」、「(4)」、「(5)式を満たすような描画演算内容が設定される程度がどのくらい高いか」ということになる。これはグラフィクス装置上で実行するグラフィクス・アプリケーションに依存するが、極めて一般的なアプリケーションを考えてみる。通常の描画では、そのほとんどがデスティネーションデータを更新されたデータで書き換えるものである。すなわち、更新されたデスティネーションデータDの値は、デスティネーションデータDの値に依存せずに決定できる。全グラフィクス処理時間に占める、このデスティネーション非依存型描画演算の出現率は、9割であると仮定する。従来の描画プロセッサは、1回のデスティネーションデータ読出しサイクルが必要である。これに対して、本発明の描画プロセッサは、次の式(6)で示すように平均0.1回のデスティネーションデータ読出しサイクルが必要である。

【0038】

0回×0.9+1回×0.1=0.1回……(6)
一方、ボタンデータとソースデータに関しては両方を必要とする演算の出現率が3割、ボタンデータを必要としソースデータを必要としない演算の出現率が3割、ソースデータを必要としボタンデータを必要としない演算の出現率が3割、残り3割はボタンデータもソースデータも必要としない演算の出現率と仮定する。従来の描画プロセッサは、ボタンデータ、ソースデータ各1回、合計2

10

回の読出しサイクルが必要である。これに対して、本発明の描画プロセッサは、次の式(7)で示すように平均1.2回のボタンデータソースデータ読出しサイクルが必要である。

【0039】

2回×0.3+1回×0.3+1回×0.3+0回×0.1=1.2回……(7)

式(6)と式(7)とを加えると1.3回になる。これに更新されたデスティネーションデータ読み込みサイクルを加えると、8ビット描画するために平均2.3回のバス・サイクルの起動になる。従来の描画プロセッサは4回のバス・サイクルの起動が必要であるので、次の式(8)に示すように、1.7倍の描画性能向上が見込める。

【0040】4回/2.3回=1.7倍……(8)

【発明の効果】以上説明したように本発明は、描画演算に關与しないデータの読出しサイクルを省略する構成としたので、その分描画速度を向上させることができる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】図1に示された実施例の動作を説明するための各信号のタイミング図である。

【図3】従来の描画プロセッサの一例を示すブロック図である。

【図4】図3に示された描画プロセッサの動作を説明するための各信号のタイミング図である。

【図5】図3に示された描画プロセッサによるデスティネーションデータの更新過程を説明するためのイメージ図である。

【図6】図3に示された描画プロセッサの描画演算内容記憶部の構成図及び記憶内容の構成図である。

【符号の説明】

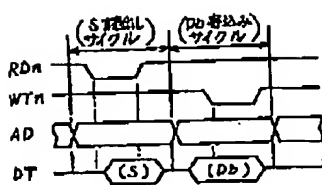
- 1 デスティネーションデータ・レジスタ
- 2 ソースデータ・レジスタ
- 3 ボタンデータ・レジスタ
- 4 描画演算部
- 5 描画演算内容記憶部
- 6 読出しサイクル省略指示部

7, 7n バスサイクル制御部

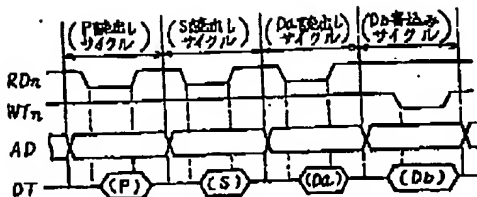
(6)

特許2956390号

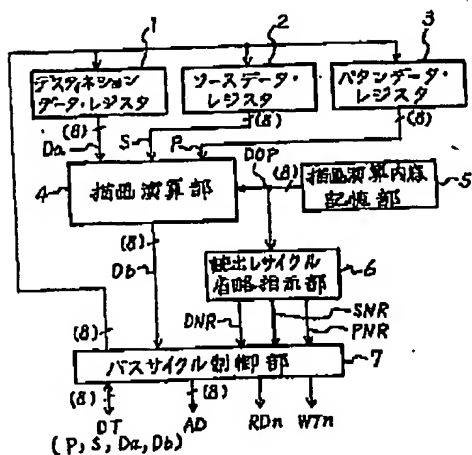
【図2】



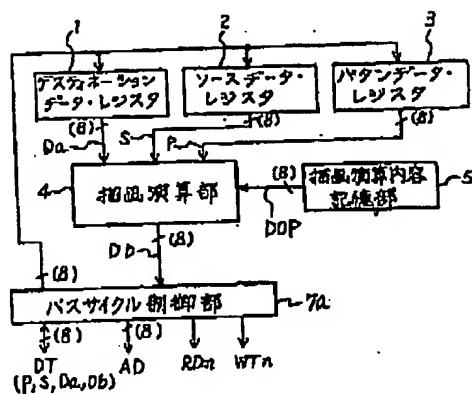
【図4】



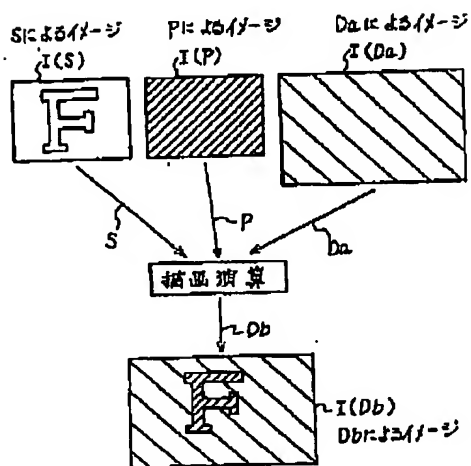
【図1】



【図3】



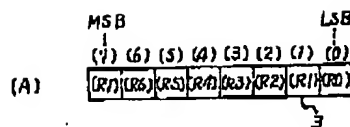
【図5】



(7)

特許2956390号

【図6】



(B)

P, S, Da	Db
0 0 0	R0
0 0 1	R1
0 1 0	R2
0 1 1	R3
1 0 0	R4
1 0 1	R5
1 1 0	R6
1 1 1	R7

$$\begin{aligned}
 Db = & (R7 \cdot P \cdot S \cdot D) + (R6 \cdot P \cdot S \cdot Da_n) + (R5 \cdot P \cdot S_n \cdot Da_n) \\
 & + (R4 \cdot P \cdot S_n \cdot Da_n) + (R3 \cdot P_n \cdot S \cdot D) + (R2 \cdot P_n \cdot S \cdot Da_n) \\
 & + (R1 \cdot P_n \cdot S_n \cdot Da) + (R0 \cdot P_n \cdot S_n \cdot Da_n)
 \end{aligned}$$

(Pn 等の n は P 等の 相 データを示す)